

NEC-5091-^(b)~~(A)~~

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-273584

(43)Date of publication of application : 22.10.1993

(51)Int.Cl.

G02F 1/136
G02F 1/133
G09F 9/30
G09G 3/36
H01L 27/12
H01L 29/784

(21)Application number : 04-068601

(71)Applicant : FUJITSU LTD

(22)Date of filing : 26.03.1992

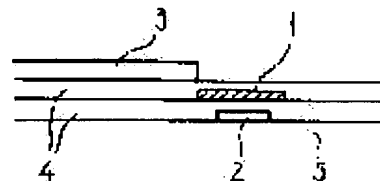
(72)Inventor : TANUMA SEIJI
KATO SHOICHI
WAKABAYASHI TAKASHI

(54) LIQUID CRYSTAL DISPLAY PANEL

(57)Abstract:

PURPOSE: To provide a thin film transistor liquid crystal display panel of superior display quality by removing disorder of the uniformity of an array of liquid crystal molecules on pixel electrodes which is caused with a gate-OFF voltage and the voltage of pixel electrodes to cause a pixel defect and then a defect in display quality.

CONSTITUTION: Individual bus lines 1 which are parallel to gate bus lines are provided on the gate bus lines across an insulator 4 and a shield electrode which holds the potential of the bus lines 1 constant at the time of driving is provided. Further, the pixel electrodes are extended to provide a part where the pixel electrode overlaps with the gate bus lines 2 on both sides of the pixel electrode across an insulating film.



LEGAL STATUS

[Date of request for examination] 12.03.1999

[Date of sending the examiner's decision of rejection] 31.10.2000

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-273584

(43)公開日 平成 5 年(1993)10月22日

(51)Int.Cl. ³	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0	9018-2K		
	1/133	5 5 0	7820-2K	
G 0 9 F 9/30	3 3 8	6447-5G		
G 0 9 G 3/36		7319-5G		
		9056-4M		
			H 0 1 L 29/ 78	3 1 1 A

審査請求 未請求 請求項の数 3 (全 5 頁) 最終頁に続く

(21)出願番号 特願平4-68601

(22)出願日 平成 4 年(1992) 3 月26日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 田沼 清治

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 加藤 彰一

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 若林 貴

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 井桁 貞一

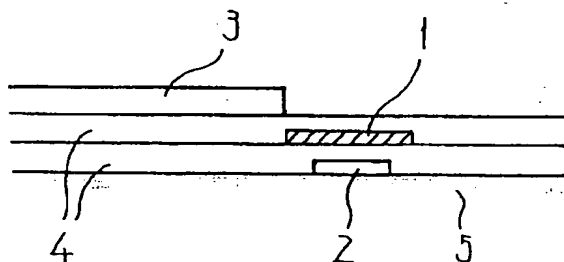
(54)【発明の名称】 液晶表示パネル

(57)【要約】

【目的】薄膜トランジスタ液晶パネルにおいて、画素欠陥となって表示品質不良の原因となる、ゲートオフ電圧と画素電極間の電圧により生じる画素電極上の液晶分子の配列の均一性の乱れを除去し、表示品質に優れた液晶表示パネルを提供することにある。

【構成】ゲートバスライン上に絶縁物を介してゲートバスラインに平行な別個のバスラインを設け、駆動時にはこのバスラインの電位が一定電位に保たれるシールド電極とする構成とした。また、画素電極を延長し、画素電極が絶縁膜を介して画素電極を挟む両側のゲートバスラインと重なる部分を設けた構成とすることもできる。

本発明の原理説明図



1

【特許請求の範囲】

【請求項1】 能動素子により各画素の電圧を制御する能動素子液晶表示パネルにおいて、ゲートバスライン上に絶縁層を介してゲートバスラインに平行な別個のバスラインを設け、駆動時にはこのバスラインの電位を一定電位に保たれることを特徴とする能動素子型液晶表示パネル。

【請求項2】 ゲートバスライン上に絶縁膜を介してゲートバスラインに平行に設けられた別個のバスラインが、互いに接続されていることを特徴とする請求項1の能動素子型液晶表示パネル

【請求項3】 能動素子により各画素の電圧を制御する能動素子液晶表示パネルにおいて、画素電極が絶縁膜を介して画素をはさむ両側のゲートバスラインと重なり部を有していることを特徴とする能動素子型液晶表示パネル

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、パネル全面において液晶分子をより均一に配向させるための液晶表示パネルの構造、特に電極基板の電極及び配線構成に関する。

【0002】

【従来の技術】 液晶表示パネルはすでに多くの分野に応用されており、特に画素の電圧を能動素子で制御する能動素子型（アクティブマトリクス型）液晶表示パネルでは、CRT型並みの表示特性が得られるため、携帯テレビ等が市販されている他、大画面表示パネルが実現されつつある。従来のアクティブマトリクス液晶パネルは、マトリクス電極基板、これに対向するITO膜を全面に形成した共通電極基板、及びこれら電極基板の間に液晶を封入される液晶材料によって構成されており、画素電極に電圧を印加することにより表示を行う。

【0003】 図6は、従来のアクティブマトリクス液晶パネルのうち、薄膜トランジスタ（以下「TFT」という）液晶パネルにおけるマトリクス電極基板のTFTと画素電極及びバスラインの構成を示す部分平面図である。図6において、2はゲートバスライン、3は画素電極、6はドレインバスラインを示している。画素電極3の周辺にはゲートバスライン2、ドレインバスライン6が縦横に形成されている。

【0004】 図7はTFTと画素電極との結合部分を示し、図7（b）におけるA-A'での断面図を図7（a）に示した。図7（a）において、3は画素電極、4は絶縁膜、5はガラス基板であり、斜線部分7はゲート電極間の電圧により影響を受ける液晶分子の領域を示している。ゲート電極に電圧が印加されるとトランジスタのチャネルが開きドレイン側からの信号が画素に書き込まれる。画素電極への電圧印加時、ゲートバスラインには図8のような電圧が印加されるため、ゲートオフ電圧と画素電極4との間に電圧が生じることになる。図

2

8において、8はゲート電圧、9はデータ電圧を示している。

【0005】

【発明が解決しようとする課題】 従って、アクティブマトリクス型液晶表示パネルの場合、ゲートオフ電圧と画素電極との間の電圧によって画素電極上の液晶分子配列の均一性に乱れが生じることがある。すなわち、ゲートバスラインに図8のような電圧が印加されているため、ゲートオフ電圧 V_{off} と画素電極の間に電界が生じ、この電界の影響でゲートバスライン2と画素電極3間の液晶配向が乱れる（図8）。かかる画素電極3は図6に示されるようにマトリクス上に配置されているので、画素の欠陥となって表示品質の不良を生じる。

【0006】

【課題を解決するための手段】 ゲートバスライン上に絶縁物を介してゲートバスラインに平行な別個のバスラインを設け、駆動時にはこのバスラインの電位が一定電位に保たれるシールド電極とする構成とした。また、画素電極を延長し、画素電極が絶縁膜を介して画素電極をはさむ両側のゲートバスラインと重なる部分を設けた構成とすることもできる。

【0007】

【作用】 図1は本発明による作用を説明する図である。ゲートバスライン2上に絶縁物4を介してゲートバスライン2に平行な別個のバスライン1を設け、駆動時にはこのバスライン1の電位が一定電位に保たれるシールド電極となっているために、ゲートバスライン2-画素電極3間に生じていた電界は軽減され、液晶分子の配向の均一性が保たれることになる。

【0008】 また、図2は本発明による他の手段による作用を説明する図である。図2において、2はゲートバスライン、3は画素電極、4は絶縁膜、5はガラス基板を示す。画素電極3を延長し、絶縁膜4を介して画素電極3を挟む両側のゲートバスライン2との重なり部分を設けることにより、ゲートバスライン2-画素電極3間の電界の影響を受ける液晶分子が大幅に減少し、表示域より距離的に異なった位置に存在することになるから、少なくとも表示域の液晶分子の配向は均一になり、不均一な配向に起因して生じていた表示不良をなくすることができる。

【0009】

【実施例】 図3に本発明の実施例を示す。画素数640×400のTFT液晶ディスプレイを作製した。図3において、電極基板はゲートバスライン2、画素電極3、絶縁膜4、ガラス基板5、ドレインバスライン6から構成されており、本発明によるバスライン1はゲートバスライン2（ T_a ：1000Å、幅20μm）上にSiN_x膜4を1500Åの厚さで形成し、その上にTi膜1を厚さ1000Å（幅40μm）で形成した。このTiバスはおのおののパネルの片側の端部において、駆動回

路に接続され、対向する共通電極と同電位とした。作製したパネルにテレビ表示を行ったところ、通常のパネルではパネル全面の画素で画素端部の液晶の配向不良による表示欠陥が生じたのに対し、本発明によるパネルではこのような表示欠陥は一切生じなかった。

【0010】図4に他の実施例を示す。図4(a)には断面図、(b)に平面図を示した。図4(b)の平面図には、Ti膜1のパターンのみを図中に斜線部分で示した。図3と同様にTi膜1を形成するが、この場合、Ti膜1は非画素部で図4(b)のように接続させ、Ti膜1で非画素部を埋め尽し非画素部からのもれ光を防ぐブラックマトリックスの作用を兼ねさせるようにしたものである。電位はこの場合も対向する共通電極と同電位にした。このパネルでも、配向不良による表示欠陥は一切生じなかった。

【0011】なお、ゲートバスライン2上に形成したバスライン1の電位は画素電位に近い値に設定すれば良いが、正負の画素電位の中心である、対向電極電位とするのが最も簡単である。図5に本発明の他の実施例を示す。画素数640×400のTFT液晶ディスプレイを作製した。図5において、2はゲートバスライン、3は画素電極、4は絶縁膜を示している。画素電極3となる透明電極(ITO)は両側のゲートバスライン(幅15μm)上に各々5μmの重なり部を有している。

【0012】この場合、ゲートバスライン2と透明電極3間にはSiN_x膜(1500Å)が絶縁膜4として存在している。作製したパネルにテレビ表示を行ったところ、通常のパネルではパネル全面の画素で画素端部で液*

* 晶の配向不良による表示欠陥が生じたのに対し、本発明によるパネルではこのような表示欠陥は一切生じなかった。これは、通常のパネルではゲートバスラインと画素電極は10μm隔たっているためである。

【0013】

【発明の効果】本発明によりパネル全面において均一な表示が実現されるため、パネルの表示品質を向上させることができる。

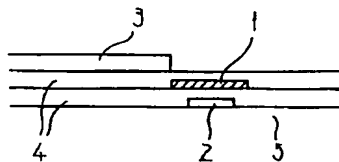
【図面の簡単な説明】

- 10 【図1】本発明による原理を説明する図である。
 【図2】本発明による原理を説明する図である。
 【図3】本発明に係る実施例1を示す図である。
 【図4】本発明に係る実施例2を示す図である。
 【図5】本発明に係る実施例3を示す図である。
 【図6】従来例を示す図である。
 【図7】従来例の問題点を説明する図である。
 【図8】従来例における印加電圧を示す図である。
 【符号の説明】

- 1 本発明により設けられたバスライン
 20 2 ゲートバスライン
 3 画素電極
 4 絶縁膜
 5 ガラス基板
 6 ドレインバスライン
 7 電圧の影響を受ける液晶分子の領域
 8 ゲート電圧
 9 データ電圧

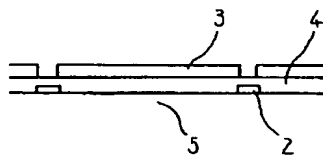
【図1】

本発明の原理説明図



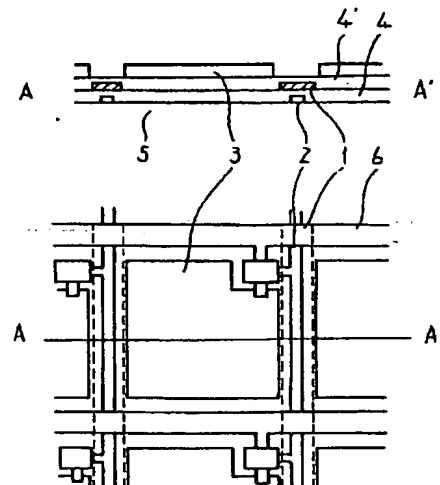
【図2】

本発明の原理説明図



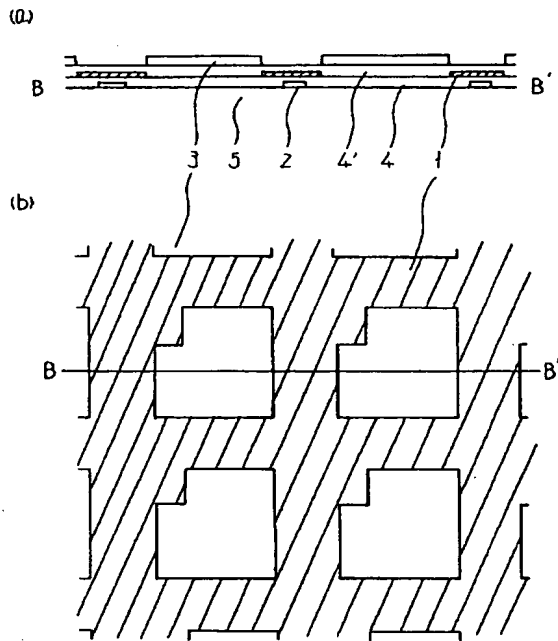
【図3】

本発明の実施例1



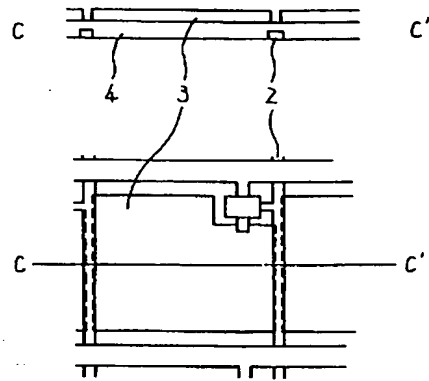
【図4】

本発明の実施例2



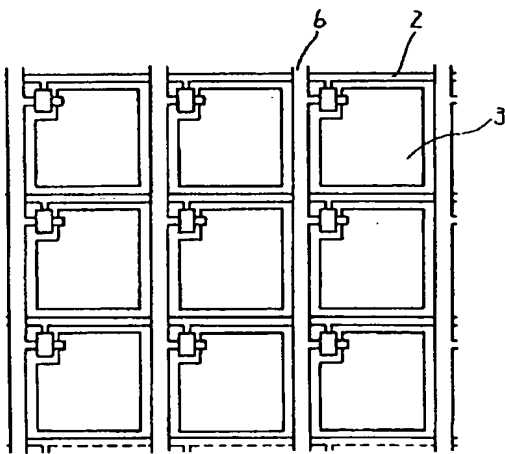
【図5】

本発明の実施例3

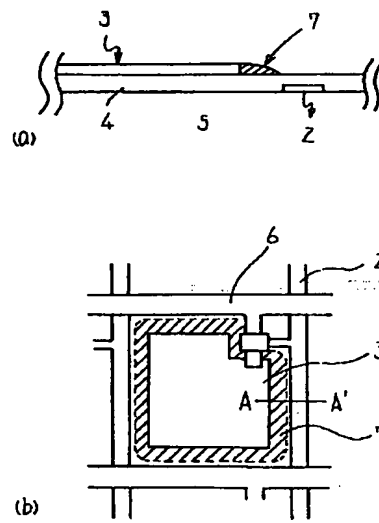


【図6】

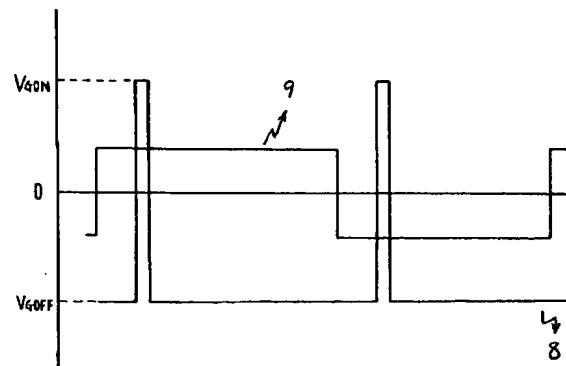
アクティブマトリクス液晶パネルにおける
マトリクス電極基板の部分平面図



【図7】



【図8】



フロントページの続き

(51)Int.Cl.³

H01L 27/12

29/784

識別記号

庁内整理番号

F I

技術表示箇所

A